

Il timer NE555

Teoria e applicazioni

Prof. Bernardis Pierluigi

A.S. 2026/2027

Indice

1	Introduzione al timer NE555	2
1.1	Cos'è un timer integrato	2
1.2	Cenni storici	2
1.3	Le versioni del 555	3
1.4	Campi di applicazione	3
1.5	Datasheet e parametri principali	3
2	Struttura interna del NE555	4
2.1	Il contenitore DIP-8 e la piedinatura	4
2.2	Lo schema a blocchi interno	4
2.3	Il partitore di tensione interno	5
2.4	I due comparatori di soglia	6
2.5	Il buffer di uscita	8
2.6	Il transistor di scarica	9
3	Configurazioni base	10
3.1	Configurazione bistabile	10
3.2	Configurazione monostabile	13
3.3	Configurazione astabile	18

Capitolo 1

Introduzione al timer NE555

1.1 Cos'è un timer integrato

Nell'elettronica di tutti i giorni capita continuamente di dover **controllare il tempo**: accendere una luce per un intervallo prestabilito, far lampeggiare un LED a una certa frequenza, generare un segnale periodico per pilotare un buzzer, ritardare l'attivazione di un dispositivo. Tutte queste operazioni si possono realizzare con reti RC , ma farlo con componenti discreti è scomodo, impreciso e richiede molti componenti.

Concetto chiave

Un **timer integrato** è un circuito integrato progettato specificamente per generare intervalli di tempo o segnali periodici controllabili dall'esterno tramite pochi componenti passivi (resistenze e condensatori). Al suo interno contiene già tutti i blocchi necessari: comparatori di tensione, un flip-flop di memoria, stadi di uscita e un transistor di scarica.

Il **NE555** è il timer integrato più famoso e diffuso al mondo. Fu progettato per svolgere tre funzioni principali:

- **generare un impulso di durata prefissata** a partire da un segnale di comando (*funzionamento monostabile*);
- **generare un'onda quadra periodica** in modo autonomo, senza bisogno di segnali esterni (*funzionamento astabile*);
- **comportarsi come una memoria elementare**, mantenendo lo stato di uscita finché non arriva un nuovo comando (*funzionamento bistabile*).

Lo sapevi?

Il nome "555" deriva dai **tre resistori da 5 k Ω** posti in serie all'interno del circuito integrato, che formano il partitore di tensione usato per fissare le due soglie di comparazione a $\frac{1}{3}V_{CC}$ e $\frac{2}{3}V_{CC}$. È un nome nato quasi per caso, ma è diventato uno dei più riconoscibili dell'elettronica.

1.2 Cenni storici

Il NE555 fu progettato nel **1971** dall'ingegnere svizzero **Hans R. Camenzind** per conto della *Signetics Corporation* (oggi confluita in ON Semiconductor). Camenzind lavorava da solo e ricevette l'incarico di realizzare un temporizzatore integrato facile da usare e poco costoso.

Concetto chiave

Il NE555 fu messo in commercio nel **1972** e riscosse un successo immediato. In oltre cinquant'anni di produzione è diventato uno dei circuiti integrati **più venduti di sempre**: si stima che ne vengano prodotti ancora oggi circa **un miliardo di pezzi all'anno**, con un totale complessivo che supera le decine di miliardi di unità. È considerato da molti il circuito integrato di maggior successo nella storia dell'elettronica.

La longevità del 555 si spiega con tre fattori:

1. **semplicità**: bastano due resistori e un condensatore per farlo funzionare;

2. **economicità**: costa poche decine di centesimi;
3. **robustezza**: tollera tensioni da 4,5 a 15 V e correnti di uscita fino a 200 mA, sufficienti per pilotare direttamente un LED o un piccolo buzzer.

Lo sapevi?

Hans Camenzind raccontò in un'intervista che il progetto del 555 richiese circa sei mesi di lavoro e che il circuito funzionò al primo tentativo. All'epoca non esistevano simulatori: si progettava a mano, con carta e matita, e si verificavano i risultati con calcoli approssimati. Camenzind scrisse in seguito un libro di memorie intitolato *"Much Ado About Almost Nothing"*, in cui racconta l'avventura del 555 e la nascita dell'industria dei semiconduttori.

1.3 Le versioni del 555

Il timer 555 è stato prodotto, nel corso di oltre cinquant'anni, da numerosi costruttori di semiconduttori — tra cui Texas Instruments, STMicroelectronics, ON Semiconductor e Philips — con sigle commerciali differenti ma funzionamento sostanzialmente equivalente.

Le differenze tra le varie versioni riguardano essenzialmente la tecnologia costruttiva (bipolare o CMOS), i consumi, la massima frequenza di lavoro e la corrente di uscita disponibile.

Sigla	Tecn.fam	Caratteristiche
NE555	bipolare	Versione originale (1972); fino a 200 mA
LM555	bipolare	Equivalente National Semiconductor
ICM7555	CMOS	Consumo di pochi μA
TLC555	CMOS	Frequenza fino a 2 MHz
NE556	bipolare	Due timer 555 (14 piedini)
NE558	bipolare	Quattro timer 555 (16 piedini)

Attenzione

Le versioni **CMOS** (ICM7555, TLC555) presentano consumi molto ridotti e un'elevata impedenza d'ingresso, ma la **corrente massima di uscita è sensibilmente inferiore** a quella delle versioni bipolari (tipicamente 10–100 mA contro 200 mA). Quando il timer deve pilotare direttamente carichi impegnativi — un LED ad alta luminosità, un piccolo relè o un altoparlante — la versione **bipolare** è da preferirsi. Le versioni CMOS sono invece indicate nei circuiti a basso consumo o alimentati a batteria.

Il contenitore più diffuso in ambito didattico e prototipale è il **DIP-8** (*Dual In-line Package*, otto piedini disposti su due file parallele), che risulta particolarmente agevole da inserire su breadboard. Per la produzione industriale il 555 è disponibile anche in contenitore **SMD** (*Surface Mount Device*), nella variante SOIC-8 e in altre forme miniaturizzate.

1.4 Campi di applicazione

Applicazioni tipiche del timer NE555:

- **Temporizzatori** (monostabile): ritardo di accensione, temporizzatore per luci scale, antirimbalzo per pulsanti, temporizzatore di spegnimento automatico.
- **Oscillatori** (astabile): lampeggiatori a LED, generatori di clock, buzzer intermittenti, sirene a due toni.
- **Modulatori PWM**: regolazione della luminosità di un LED, controllo della velocità di un piccolo motore DC, regolazione di potenza in un carico resistivo.
- **Circuiti logici** (bistabile): flip-flop elementari, latch a pulsante, rivelatori di impulsi mancanti.

1.5 Datasheet e parametri principali

Il datasheet ufficiale del timer NE555, prodotto da Texas Instruments, è disponibile online. Contiene tutte le informazioni tecniche dettagliate: piedinatura, schema a blocchi interno, parametri elettrici, curve caratteristiche e applicazioni tipiche.

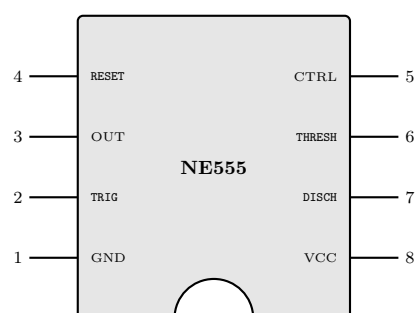
<https://www.ti.com/lit/ds/symlink/ne555.pdf>

Capitolo 2

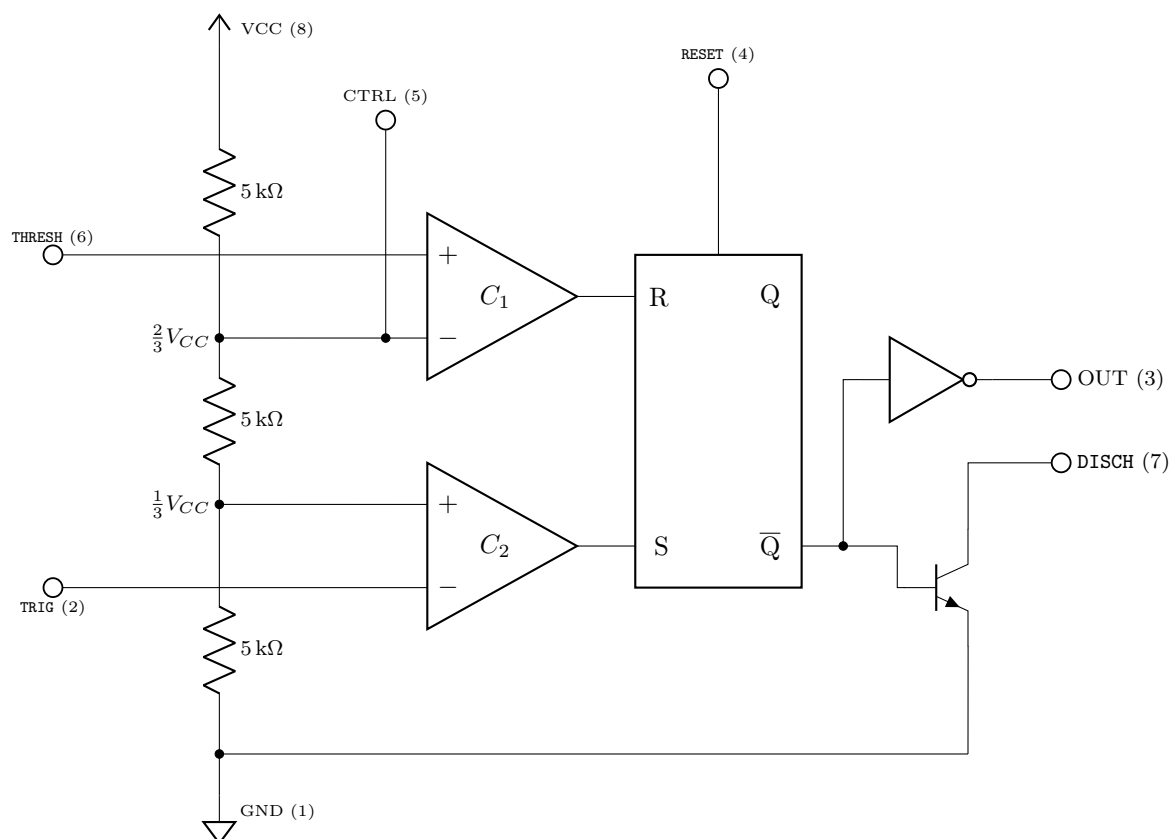
Struttura interna del NE555

2.1 Il contenitore DIP-8 e la piedinatura

Il NE555 è disponibile in vari tipi di contenitore, ma quello più diffuso e più comodo per il laboratorio è il **DIP-8** (*Dual In-line Package*, 8 piedini). Si presenta come un piccolo parallelepipedo di plastica nera con otto piedini metallici disposti su due file parallele. Su un lato è presente una **tacca semicircolare** che serve a orientare correttamente il componente: il piedino 1 è sempre il primo in basso a sinistra quando si guarda il chip con la tacca rivolta verso il basso.

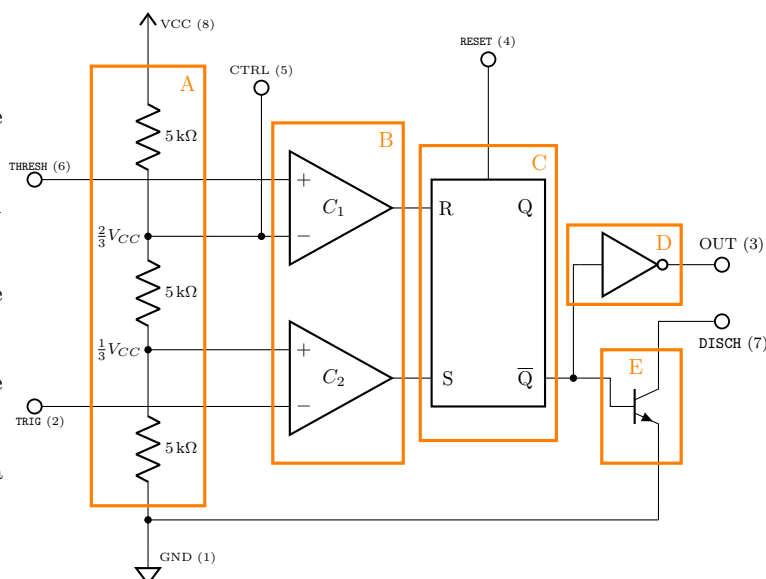


2.2 Lo schema a blocchi interno



I blocchi principali sono cinque:

1. un **partitore di tensione** interno formato da tre resistori uguali da $5\text{ k}\Omega$;
2. due **comparatori di tensione**, indicati con C1 (superiore) e C2 (inferiore);
3. un **LATCH SR**, cioè una memoria elementare a due stati;
4. un **buffer di uscita**, che rende disponibile il segnale sul piedino 3;
5. un **transistor di scarica** NPN, pilotato dall'uscita negata del latch SR;

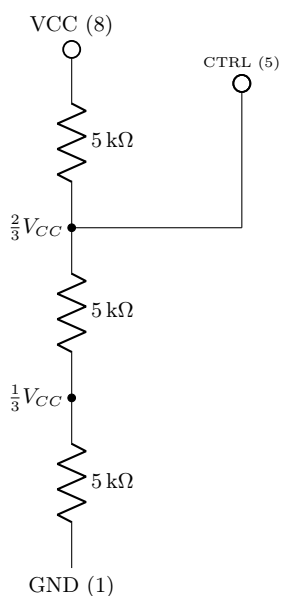


2.3 Il partitore di tensione interno

Il primo blocco è il **partitore di tensione** formato da tre resistori uguali da $5\text{ k}\Omega$ collegati in serie tra V_{CC} e massa. Questo partitore genera due tensioni di riferimento interne, che serviranno ai comparatori.

Applicando la regola del partitore di tensione, e ricordando che i tre resistori sono uguali, ogni resistore sopporta una caduta di $\frac{1}{3}V_{CC}$. Di conseguenza:

- il nodo compreso tra il **primo** e il **secondo** resistore (partendo dall'alto) si trova a $\frac{2}{3}V_{CC}$;
- il nodo compreso tra il **secondo** e il **terzo** resistore si trova a $\frac{1}{3}V_{CC}$.

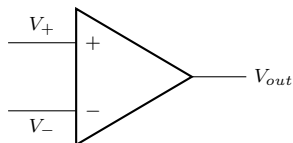


Il piedino 5 (**Control Voltage** o **CTRL**) è uno dei pin più versatili del timer 555 ed è collegato elettricamente in modo diretto al nodo interno del partitore di tensione a $\frac{2}{3}V_{CC}$.

Applicando una tensione esterna (V_{CTRL}) su questo piedino, si forza una variazione: la soglia superiore si sposta esattamente a quel valore, mentre la soglia inferiore si sposta proporzionalmente a $\frac{1}{2}V_{CTRL}$, mantenendo invariato il rapporto resistivo interno.

Questa alterazione delle soglie influisce direttamente sui tempi di carica e scarica del condensatore di temporizzazione esterno. Ad esempio, alzando la tensione di controllo il condensatore impiega più tempo a caricarsi (riducendo la frequenza), mentre abbassandola la frequenza aumenta. Iniettando un segnale variabile, come un'onda audio o un segnale di controllo, è inoltre possibile realizzare modulazioni in tempo reale (PWM o PPM), utili in applicazioni come la regolazione della velocità dei motori o la sintesi sonora. Nelle configurazioni standard in cui non è previsto alcun controllo esterno, il pin 5 non deve comunque mai essere lasciato flottante. Essendo collegato a un'alta impedenza interna, rischierebbe di captare disturbi elettromagnetici e rumori dall'esterno. Per questo motivo si collega tipicamente a massa tramite un condensatore ceramico da 10 nF , che svolge la funzione di filtro passa-basso di disaccoppiamento, cortocircuitando i disturbi verso terra e stabilizzando le soglie di commutazione dell'integrato.

2.4 I due comparatori di soglia



Un **comparatore di tensione** è un Op-Amp che mette a confronto due tensioni di ingresso, restituendo in uscita un livello logico alto o basso a seconda di quale dei due segnali risulti superiore. All'interno del timer NE555 operano due comparatori gemelli, identificati come **C1** (superiore) e **C2** (inferiore).

Nel timer 555, i due comparatori operano in stretta sinergia, svolgendo il ruolo di monitor costanti dei livelli di tensione del circuito. Il comparatore superiore, identificato come **C1**, sovrintende al piedino 6 (**THRESH**). Finché la tensione sul pin **THRESH** si mantiene al di sotto del riferimento fisso stabilito a $\frac{2}{3}V_{CC}$, il comparatore non interviene; tuttavia, nel momento in cui la tensione di soglia supera tale limite C1 commuta, inviando un comando di **RESET** al latch SR.

Specularmente, il comparatore inferiore **C2** monitora il piedino 2 (**TRIG**). Il suo compito consiste nel vigilare affinché la tensione non scenda oltre il limite di $\frac{1}{3}V_{CC}$: quando la tensione sul pin di **TRIG**ger diminuisce al di sotto della soglia inferiore di $\frac{1}{3}V_{CC}$, C2 satura, generando un comando di *set* al latch SR.

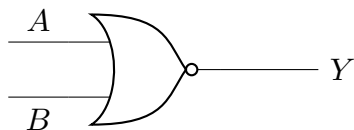
Concetto chiave

Quando i potenziali si collocano nell'intervallo compreso tra $\frac{1}{3}V_{CC}$ e $\frac{2}{3}V_{CC}$, nessuno dei due comparatori interviene, consentendo al latch di preservare lo stato logico precedente.

2.4.1 Il Latch SR

Richiamo alla porta NOR

La porta **NOR** (*NOT-OR*) è una porta logica che combina una porta OR e un invertitore: esegue la somma logica dei due ingressi e poi nega il risultato.



Simbolo della porta NOR

A	B	$Y = \overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

Tabella di verità della porta NOR

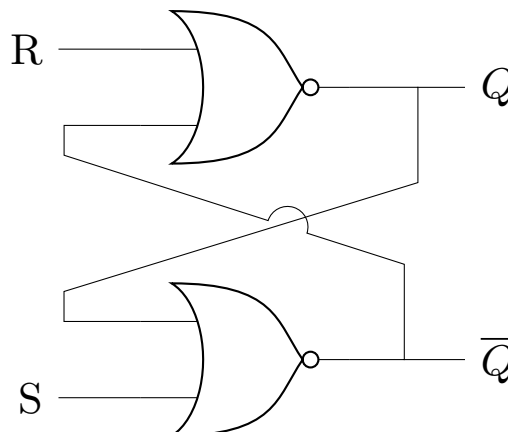
Concetto chiave

La porta NOR è detta **porta universale** perché con sole porte NOR è possibile realizzare qualsiasi funzione logica, comprese AND, OR e NOT. Per questo motivo è il componente elementare con cui si costruisce il latch SR interno del NE555.

La memoria di un NE555 è un **latch SR**, cioè una memoria elementare a due stati stabili costruita con due porte NOR incrociate. Si chiama *latch* (in inglese “chiavistello”) perché, una volta impostato in uno stato, vi rimane agganciato finché non arriva un comando che lo cambia. A differenza del flip-flop, che cambia stato solo in corrispondenza di un fronte di clock, il latch è sensibile al **livello** degli ingressi: è quindi più semplice ma meno preciso nella temporizzazione.

Il latch ha due ingressi e due uscite complementari:

- **S** (*Set*, “imposta”): quando viene portato a livello alto (1), forza l’uscita Q a livello alto;
- **R** (*RESET*, “azzera”): quando viene portato a livello alto (1), forza l’uscita Q a livello basso;
- Q : uscita principale;
- $\bar{Q}$: uscita negata, sempre complementare a Q .



Le due porte sono collegate in **retroazione incrociata**: l’uscita di ciascuna porta è collegata a un ingresso dell’altra. È proprio questa retroazione che crea la *memoria*: ogni porta “rinforza” lo stato dell’altra, mantenendolo stabile anche quando gli ingressi S e R tornano a zero.

Tabella di verità del latch SR

Consideriamo il latch nella sua forma pura, senza il piedino di **RESET** prioritario. La tabella di verità è la seguente.

S	R	Q	$\bar{Q}$	Stato
0	0	Q_{prec}	$\bar{Q}_{\text{prec}}$	Memoria (mantiene lo stato)
0	1	0	1	RESET
1	0	1	0	Set
1	1	0	0	Stato proibito (da evitare)

Analizziamo ciascun caso nel dettaglio.

- **S = 0, R = 0 (memoria)**: entrambi gli ingressi sono inattivi. Il latch **mantiene lo stato precedente**, qualunque esso sia. Questa è la condizione di riposo: le due porte si sostengono a vicenda grazie alla retroazione, e il valore di Q resta stabile nel tempo. È esattamente questo il comportamento che permette al NE555 di “ricordare” se l’uscita era alta o bassa. Questo stato esiste quando la tensione sul pin **THRESH** è inferiore a $\frac{2}{3}V_{CC}$ e la tensione sul pin **TRIG** è superiore a $\frac{1}{3}V_{CC}$.
- **S = 0, R = 1 (RESET)**: l’ingresso R forza l’uscita della porta NOR1 a livello basso, cioè $Q = 0$. Di conseguenza $\bar{Q} = 1$. Il latch si porta nello stato di **RESET**. Questo stato si verifica quando la tensione sul pin **THRESH** supera $\frac{2}{3}V_{CC}$.
- **S = 1, R = 0 (set)**: l’ingresso S forza l’uscita della porta NOR2 a livello basso, cioè $\bar{Q} = 0$. Di conseguenza $Q = 1$. Il latch si porta nello stato di **set**. Questo stato si verifica quando la tensione sul pin **TRIG** scende al di sotto di $\frac{1}{3}V_{CC}$.
- **S = 1, R = 1 (stato proibito)**: entrambi gli ingressi sono attivi contemporaneamente. Le uscite delle due porte vengono entrambe forzate a zero: $Q = 0$ e $\bar{Q} = 0$, cioè le due uscite **non sono più complementari**. In questa condizione il comportamento successivo, quando S e R tornano a zero, è **indeterminato**: dipende da quale porta commuta per prima, quindi da fattori incontrollabili come la temperatura e le tolleranze dei componenti. Per questo è chiamato “stato proibito” e va sempre evitato.

Il piedino di RESET prioritario

Il latch interno del NE555 non è un latch SR qualsiasi: è un **latch SR con priorità al RESET**. Oltre agli ingressi S e R pilotati dai comparatori interni, ha un terzo ingresso collegato direttamente al **piedino 4 (RESET)**, che ha la precedenza assoluta su tutto.

Il piedino 4 (RESET) è un ingresso **attivo basso**: la sua azione è attivata quando la tensione scende sotto 0,7 V. In condizioni normali, quando non si vuole RESETtare il circuito, il piedino 4 deve essere tenuto a V_{CC} , altrimenti si mantiene un valore alto tramite una resistenza di pull-up da 10 k Ω e con un pulsante si può portare la tensione del pin a massa.

Il comportamento del latch completo, tenendo conto del RESET prioritario, è il seguente:

- se il piedino 4 è portato sotto 0,7 V, l'uscita Q va a livello basso **indipendentemente** dallo stato di S e R. Il RESET ha quindi la massima priorità;
- se il piedino 4 è alto ($> 0,7$ V), il latch si comporta come un normale latch SR pilotato da S e R.

Tabella di verità completa del blocco di memoria

Combinando il RESET prioritario con le due soglie dei comparatori interni, otteniamo la tabella di verità completa del blocco di memoria del NE555. Ricordiamo che:

- il comparatore **C1** attiva il RESET (S=0, R=1) quando la tensione su THRESH (pin 6) supera $\frac{2}{3}V_{CC}$;
- il comparatore **C2** attiva il set (S=1, R=0) quando la tensione su TRIG (pin 2) scende sotto $\frac{1}{3}V_{CC}$.
- **RESET attivo (pin 4 basso)**: l'uscita Q va a livello basso *in ogni caso*, indipendentemente dallo stato di THRESH e TRIG. Il RESET prioritario “vince” su qualsiasi altra condizione.
- **TRIG sotto $\frac{1}{3}V_{CC}$ (set)**: il comparatore C2 attiva l'ingresso S del latch. L'uscita Q va a livello alto, *indipendentemente* da THRESH. Questa è la condizione di *set*: tipicamente corrisponde all'inizio di un impulso nel funzionamento monostabile, o all'inizio della fase di carica in quello astabile.
- **THRESH sopra $\frac{2}{3}V_{CC}$ (RESET)**: il comparatore C1 attiva l'ingresso R del latch. L'uscita Q va a livello basso. Questa è la condizione di *RESET*: tipicamente corrisponde alla fine di un impulso nel monostabile, o all'inizio della fase di scarica nell'astabile.
- **Entrambe le soglie non superate (memoria)**: né TRIG è sotto $\frac{1}{3}V_{CC}$, né THRESH è sopra $\frac{2}{3}V_{CC}$. In questa condizione il latch **mantiene lo stato precedente**: è la condizione di riposo, quella in cui il NE555 “aspetta” che uno dei due eventi accada.

Attenzione

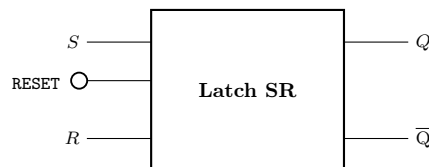
Quando TRIG e THRESH sono attivi contemporaneamente (cioè la tensione su THRESH supera $\frac{2}{3}V_{CC}$ mentre quella su TRIG è sotto $\frac{1}{3}V_{CC}$), la tabella mostra che **vince il set**. Questo comportamento è garantito dal progetto interno del latch con priorità: il comando di set ha precedenza su quello di RESET, purché il piedino 4 non sia attivo. Nella pratica questa condizione si verifica raramente, ma è bene conoscerla per prevedere il comportamento del circuito in casi limite.

2.5 Il buffer di uscita

Il penultimo blocco dello schema è il **buffer di uscita**. Il suo compito è portare il segnale logico del latch al piedino 3 (OUT) con la **corrente necessaria** a pilotare un carico esterno.

Concetto chiave

Il latch interno del NE555 produce un segnale logico corretto, ma **non è in grado di fornire corrente**. Se collegassimo direttamente un LED o un buzzer all'uscita del latch, la corrente disponibile sarebbe dell'ordine dei **microampere**: del tutto insufficiente. Il buffer di uscita è lo stadio che risolve questo problema: preleva il segnale logico dal latch (senza assorbirne corrente) e lo riproduce in uscita con una **capacità di corrente fino a 200 mA**.



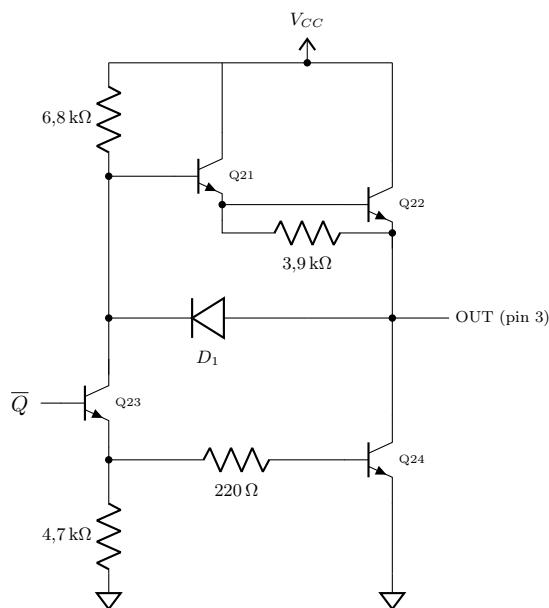
RESET (pin 4)	TRIG (pin 2)	THRESH (pin 6)	Q
$< 0,7$ V	X	X	0 (RESET)
$> 0,7$ V	$< \frac{1}{3}V_{CC}$	X	1 (set da TRIG)
$> 0,7$ V	$> \frac{1}{3}V_{CC}$	$> \frac{2}{3}V_{CC}$	0 (RESET da THRESH)
$> 0,7$ V	$> \frac{1}{3}V_{CC}$	$< \frac{2}{3}V_{CC}$	mantiene

La struttura dello stadio di uscita

Lo stadio di uscita del NE555 bipolare è composto da quattro transistor principali:

- **Q23**, il transistor di controllo, nella cui base entra il segnale di $\overline{Q}$;
- **Q21** e **Q22**, collegati in configurazione *Darlington*, che formano il ramo di *pull-up* (portano l'uscita a livello alto);
- **Q24**, il transistor di *pull-down*, che porta l'uscita a livello basso.

Inoltre notiamo la presenza di tre resistenze: R12, R13 e R14, che limitano le correnti di base dei transistor e stabilizzano il funzionamento dello stadio e di un diodo D1.

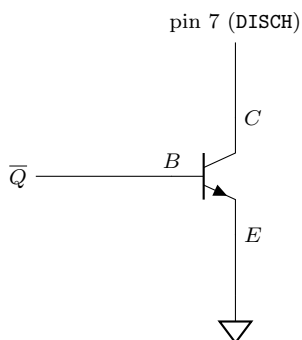


È semplice capire il funzionamento dello stadio di uscita: quando l'uscita del latch è alta ($\overline{Q} = 1$), il transistor Q23 conduce, polarizzando il transistor Q24 e portando l'uscita a livello basso. Quando l'uscita del latch è bassa ($\overline{Q} = 0$), Q23 è interdetto, Q24 non conduce e l'uscita viene portata a livello alto tramite il Darlington Q21-Q22. Si può dimostrare che se Q23 è acceso, la tensione alla base di Q21 è di circa 1 V, che non è sufficiente a far condurre il darlington, che richiede una tensione di circa 1,4 V. Si è appena dimostrato quindi che il buffer di uscita del NE555 è un **invertitore**: quando $\overline{Q}$ è alto, l'uscita del buffer è bassa, e viceversa. In altre parole, il segnale logico che esce dal piedino 3 è **negato** rispetto a $\overline{Q}$, quindi per questo motivo il segnale in uscita dal latch proviene da $\overline{Q}$.

Lo sapevi?

Nelle versioni **CMOS** del 555 (ICM7555, TLC555) lo stadio di uscita è realizzato con transistori MOSFET complementari. La corrente massima disponibile è più bassa (tipicamente 10–100 mA), ma il consumo a riposo è di gran lunga inferiore e la tensione di uscita alta si avvicina molto di più a V_{CC} . Nelle applicazioni a batteria, questo compromesso è quasi sempre favorevole.

2.6 Il transistor di scarica



Il **transistor di scarica** è un transistor NPN interno al NE555, il cui collettore è collegato al piedino 7 (DISCH). La sua base è pilotata dall'uscita negata del latch $\overline{Q}$.

Il suo funzionamento è il seguente:

- quando $\overline{Q} = 1$ (cioè l'uscita $Q = 0$, stato di **RESET**), il transistor è **acceso** e si comporta come un interruttore chiuso.
- quando $\overline{Q} = 0$ (cioè l'uscita $Q = 1$, stato di **set**), il transistor è **interdetto** e si comporta come un interruttore aperto.

Capitolo 3

Configurazioni base

Le tre configurazioni fondamentali del NE555 sono la **bistabile**, la **monostabile** e l'**astabile**. Ciascuna corrisponde a un diverso modo di collegare i componenti esterni al timer, e a un diverso comportamento dell'uscita.

3.1 Configurazione bistabile

3.1.1 Cos'è la configurazione bistabile

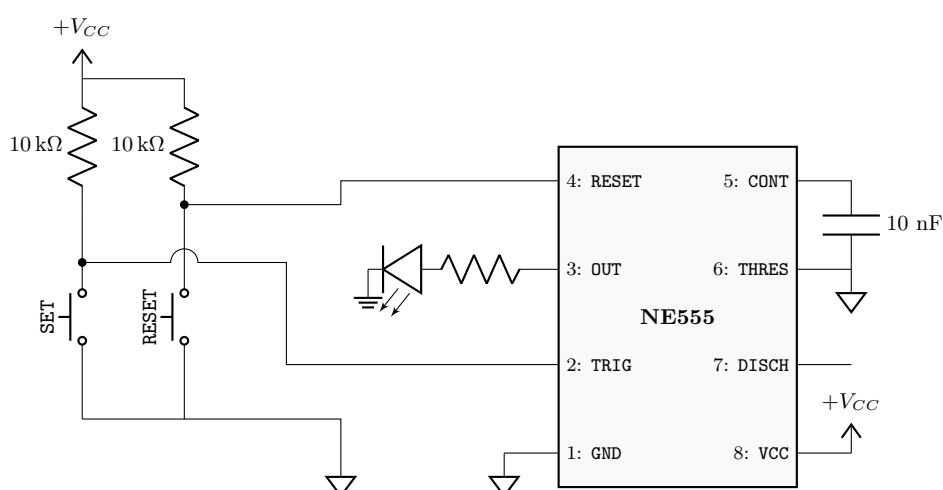
La configurazione **bistabile** è la più semplice delle tre configurazioni fondamentali del NE555, ma anche la più concettualmente importante: è quella che mette in luce il comportamento del *latch* interno e permette di capire come il timer “ricorda” il proprio stato.

Concetto chiave

In configurazione **bistabile** il NE555 si comporta come una **memoria a due stati**: l'uscita può trovarsi in due stati stabili, *alto* oppure *basso*, e vi rimane finché un comando esterno non la fa commutare.

3.1.2 Schema circuitale

Lo schema tipico della configurazione bistabile è molto essenziale: ci sono due resistori di pull-up (normalmente da 10 kΩ) che mantengono gli ingressi TRIG e RESET alla tensione di alimentazione VCC. Quando uno dei due pulsanti viene premuto, l'ingresso corrispondente viene portato al livello logico opposto, attivando il comando di set o reset del latch interno.



3.1.3 Funzionamento

Vediamo cosa succede al latch interno del NE555 in ciascuna condizione dei due pulsanti. Ricordiamo che:

- il comparatore C2, collegato a TRIG, produce il comando di *set* quando la tensione su TRIG scende sotto $\frac{1}{3}V_{CC}$;

- il piedino 4 (RESET) produce direttamente il comando di *reset* quando la sua tensione scende sotto 0,7 V, indipendentemente dallo stato del latch.

Il piedino 6 (THRESH) è collegato stabilmente a massa, quindi la sua tensione è sempre 0 V, ben al di sotto della soglia $\frac{2}{3}V_{CC}$: il comparatore C1 non interviene mai. Il reset è affidato esclusivamente al piedino 4.

Il comando di set

Quando si preme il pulsante *S*, l'ingresso TRIG viene collegato a massa e la sua tensione scende a 0 V, valore inferiore alla soglia inferiore $\frac{1}{3}V_{CC}$. Il comparatore C2 rileva la condizione e manda un comando di *set* al latch. Di conseguenza:

- l'uscita *Q* del latch va a livello alto;
- il piedino 3 (OUT) va a livello alto;
- il transistor di scarica resta interdetto.

Il LED collegato tra il piedino 3 e massa (con la resistenza di limitazione in serie) si **accende**.

Quando il pulsante *S* viene rilasciato, TRIG torna a V_{CC} grazie alla resistenza di pull-up. La tensione su TRIG torna sopra $\frac{1}{3}V_{CC}$, ma il latch **mantiene lo stato precedente**: l'uscita resta alta e il LED resta acceso.

Il comando di reset

Quando si preme il pulsante *R*, il piedino 4 (RESET) viene collegato a massa e la sua tensione scende a 0 V, inferiore alla soglia di attivazione 0,7 V. Il reset prioritario del latch entra in azione. Di conseguenza:

- l'uscita *Q* del latch va a livello basso;
- il piedino 3 (OUT) va a livello basso;
- il transistor di scarica si accende.

Il LED si **spegne**. Quando il pulsante *R* viene rilasciato, il piedino 4 torna a V_{CC} grazie alla resistenza di pull-up, ma ancora una volta il latch **mantiene lo stato**: l'uscita resta bassa e il LED resta spento.

Attenzione

È importante non confondere i due meccanismi di reset disponibili sul NE555:

- il reset *tramite il pin THRESH* (pin 6) si attiva portando la tensione sopra i $\frac{2}{3}V_{CC}$. Richiede logiche di pull-down esterne ed è legato alle soglie interne dei comparatori;
- il reset *tramite il piedino 4* (RESET) è un ingresso digitale ad attivazione bassa dotato di un resistore di pull-up interno. Si attiva portando il pin sotto 0,7 V.

Nella configurazione bistabile si preferisce il reset da piedino 4 perché agisce come un Master Reset ad alta priorità, scollegato dalla catena logica dei comparatori e gestibile direttamente tramite un semplice pulsante verso massa. Inoltre, usando il pin 4 per il reset, usiamo una sola logica di pull-up esterna, semplificando il circuito ed evitando eventuali errori confondendo inavveretitamente il pull-up e il pull-down.

La condizione di memoria

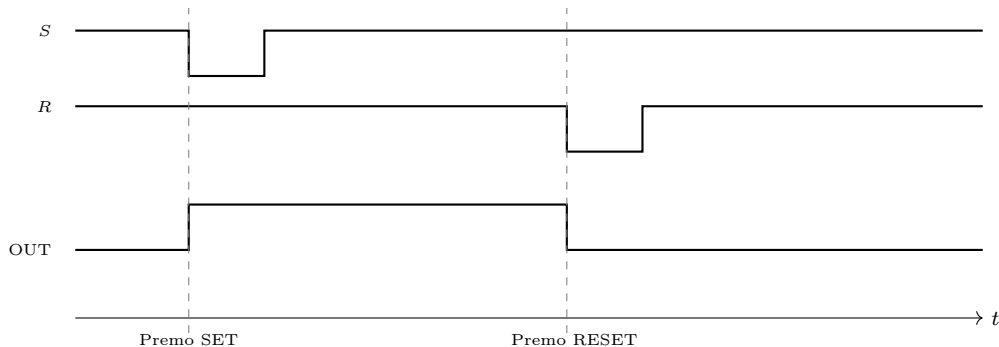
Nella condizione di riposo, cioè quando **nessuno dei due pulsanti è premuto**, gli ingressi si trovano nei seguenti stati:

- TRIG = V_{CC} (grazie alla resistenza di pull-up), cioè sopra la soglia inferiore $\frac{1}{3}V_{CC}$;
- RESET (pin 4) = V_{CC} (grazie alla resistenza di pull-up), cioè sopra la soglia di attivazione 0,7 V;
- THRESH = 0 V (collegato a massa), cioè sotto la soglia superiore $\frac{2}{3}V_{CC}$.

In questa situazione **nessun comparatore né il reset intervengono**, e il latch conserva lo stato in cui si trovava. È esattamente la condizione di memoria che abbiamo studiato nel capitolo precedente: il NE555 “ricorda” se l'ultimo comando ricevuto è stato un set o un reset, e mantiene l'uscita di conseguenza.

Diagramma temporale

Il diagramma temporale seguente mostra l'andamento dei segnali nel tempo, in corrispondenza di una sequenza di pressioni dei pulsanti. La traccia S rappresenta la tensione su TRIG, la traccia R rappresenta la tensione sul piedino 4 (RESET).



Il diagramma mostra la sequenza completa:

1. inizialmente S e R sono a riposo (entrambi alti) e OUT è basso (stato iniziale dopo l'accensione);
2. si preme S : TRIG va basso, si attiva il set, OUT va alto;
3. si rilascia S : TRIG torna alto, ma OUT **resta alto** (memoria);
4. si preme R : il piedino 4 va basso, si attiva il reset, OUT va basso;
5. si rilascia R : il piedino 4 torna alto, ma OUT **resta basso** (memoria).

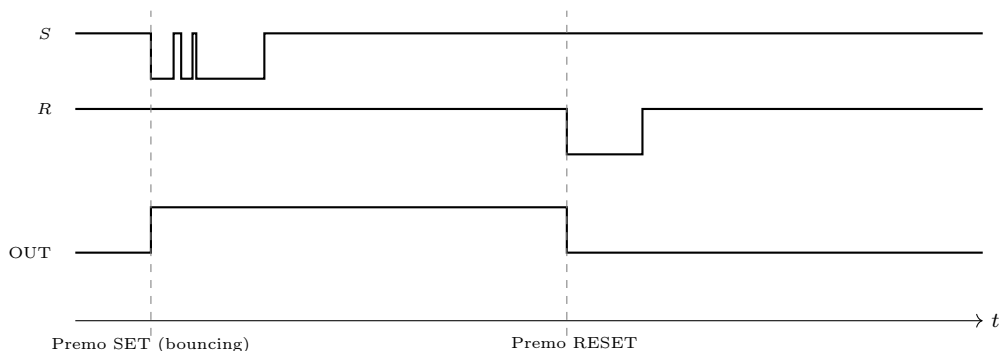
3.1.4 Applicazioni pratiche

Interruttore on/off a pulsanti

L'applicazione più immediata della configurazione bistabile è quella di realizzare un **interruttore a due pulsanti**: uno per accendere, uno per spegnere. È utile in tutti i casi in cui si vuole comandare un carico da due punti diversi, oppure in cui il carico assorbe una corrente superiore a quella che un normale interruttore meccanico può sopportare.

Antirimbalzo

L'integrato NE555 in configurazione bistabile può essere usato come **antirimbalzo** (*debouncer*): grazie alla sua isteresi interna (le due soglie $\frac{1}{3}V_{CC}$ e $\frac{2}{3}V_{CC}$ sono separate), il latch scatta solo quando la tensione di ingresso supera nettamente la soglia, ignorando i rimbalzi che restano all'interno della banda morta. In questo modo l'uscita commuta una sola volta, in modo pulito, per ogni pressione del pulsante.



Latch di allarme

Un'altra applicazione tipica è il **latch di allarme**. Un sensore (per esempio un interruttore magnetico su una porta) attiva il set del latch quando rileva un evento; l'uscita resta alta anche dopo che il sensore è tornato a riposo, finché l'utente non preme il pulsante di reset. In questo modo l'allarme "ricorda" che l'evento si è verificato, anche se questo è durato solo un istante.

3.2 Configurazione monostabile

3.2.1 Cos'è la configurazione monostabile

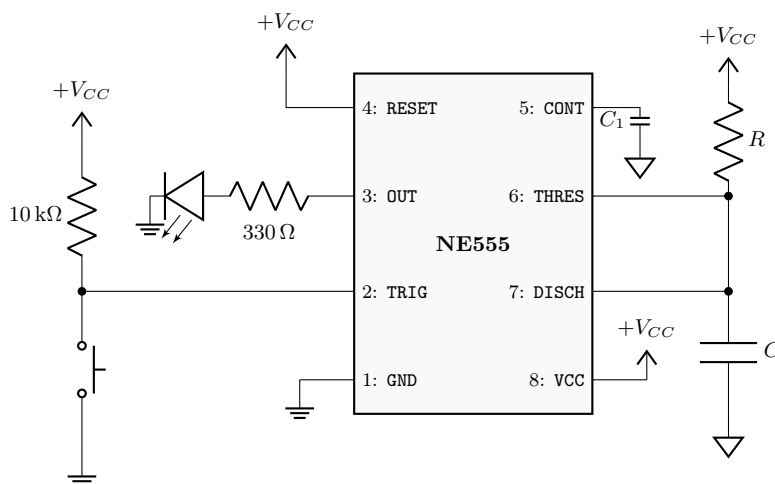
Il *monostabile* è la configurazione del timer NE555 in cui il circuito possiede **un solo stato stabile**. In assenza di sollecitazioni l'uscita permane nello stato di riposo, con V_{OUT} a livello basso. Un impulso applicato al piedino di trigger commuta l'uscita a livello alto per un intervallo di tempo T prefissato dalla rete RC esterna; scaduto T , il circuito ritorna spontaneamente allo stato stabile, indipendentemente dalla durata del segnale di ingresso.

Ne discende la proprietà caratteristica del monostabile: esso **genera un impulso di durata costante** a ogni transizione del trigger, rigenerando così eventuali impulsi degradati in ingresso. La durata è fissata unicamente dai componenti passivi esterni,

$$T \approx 1,1 RC,$$

e risulta indipendente sia dalla tensione di alimentazione sia dalla forma d'onda del segnale di trigger. Le applicazioni tipiche sono i temporizzatori, le reti di ritardo, l'antirimbando dei contatti meccanici e la generazione di impulsi calibrati.

3.2.2 Schema circuitale



3.2.3 Funzionamento

Il comportamento del circuito si descrive in tre fasi.

Stato di riposo. Con il pulsante di trigger aperto, il piedino 2 è mantenuto a $+V_{CC}$ attraverso R_1 ; il comparatore inferiore non commuta e il latch SR interno resta nello stato di reset. Il transistor di scarica (piedino 7) è in conduzione e cortocircuita a massa il condensatore C , cosicché $V_C \approx 0$. L'uscita è bassa e il diodo è spento.

Commutazione. Alla chiusura del pulsante, V_{TRIG} scende sotto la soglia $\frac{1}{3}V_{CC}$, il comparatore inferiore porta in set il flip-flop e l'uscita commuta a livello alto. Contemporaneamente il transistor di scarica si interdice: C si carica esponenzialmente verso $+V_{CC}$ attraverso R , con costante di tempo $\tau = RC$, e la tensione V_C viene presentata al piedino 6, cui il piedino 7 è direttamente connesso.

Ritorno automatico. Durante la fase quasi-stabile il condensatore C si carica verso $+V_{CC}$ attraverso R , essendo il transistor di scarica interdetto. La tensione $V_C(t)$ cresce quindi in modo esponenziale e, nell'istante in cui raggiunge la soglia superiore $\frac{2}{3}V_{CC}$, il comparatore superiore resetta il latch SR: l'uscita torna bassa, il transistor di scarica rientra in conduzione e C si scarica rapidamente a massa. Il circuito è così nuovamente pronto per un successivo impulso.

Imponendo la condizione iniziale $V_C(0) = 0$, cioè il condensatore è stato scaricato a massa nello stato stabile, la tensione ai suoi capi durante la fase di carica è descritta dalla funzione: $V_C(t) = V_{CC} \left(1 - e^{-t/RC}\right)$.

L'impulso termina nell'istante T in cui la tensione raggiunge la soglia superiore del comparatore interno, $V_C(T) = \frac{2}{3}V_{CC}$. Ricaviamo quindi un'equazione per determinare la durata T dell'impulso:

$$\frac{2}{3}V_{CC} = V_{CC}(1 - e^{-T/RC}) \quad \longrightarrow \quad \boxed{T = RC \ln 3}.$$

Poiché $\ln 3 \approx 1,0986$, si ottiene la formula pratica

$$T \approx 1,1 RC.$$

Si osservi che il fattore 1,1 è una *approssimazione* di $\ln 3$ e non un coefficiente empirico: esso discende unicamente dal rapporto tra la soglia superiore $\frac{2}{3}V_{CC}$ e l'ampiezza dell'escursione V_{CC} del segnale di carica. Se le soglie interne fossero diverse, il fattore cambierebbe di conseguenza.

Attenzione

La durata del segnale dipende esclusivamente da 3 parametri:

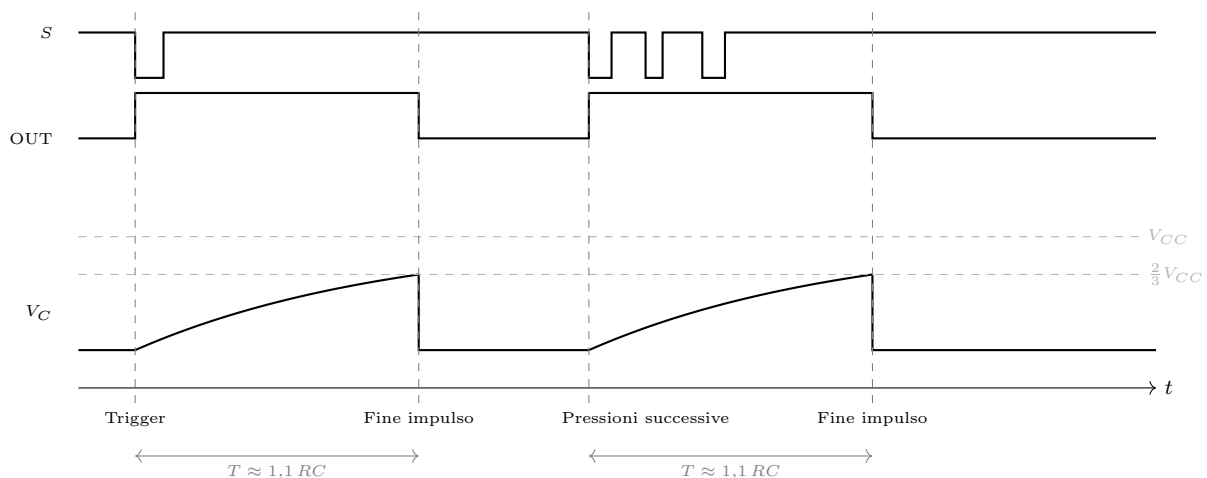
- la resistenza R della rete di temporizzazione;
- la capacità C della rete di temporizzazione;
- il valore della soglia superiore del comparatore interno, che è fissato a $\frac{2}{3}V_{CC}$.

Sappiamo che tramite il pin 5 (CONT) è possibile modificare la soglia superiore del comparatore, e quindi la durata dell'impulso. In questo caso la formula diventa $T = RC \ln \frac{V_{CC}}{V_{CC} - V_{CONT}}$, dove V_{CONT} è la tensione applicata al pin 5.

Nota sul segnale di trigger. Poiché l'impulso generato ha durata T indipendente dalla durata del segnale di trigger, un contatto meccanico mantenuto chiuso non prolunga l'uscita alta: il monostabile eroga un solo impulso per ogni transizione. Sono pertanto i rimbalzi del contatto, e non la sua permanenza, a dover essere eliminati mediante un'adeguata rete di antirimbato, onde evitare l'emissione di impulsi multipli.

Diagramma temporale

Il diagramma temporale seguente mostra l'andamento dei segnali nel tempo in corrispondenza di due fasi di trigger. La traccia S rappresenta la tensione sul piedino 2 (TRIG), la traccia OUT la tensione sul piedino 3 e la traccia V_C la tensione ai capi del condensatore di temporizzazione. Nella seconda fase il pulsante viene premuto più volte in rapida successione, per evidenziare il comportamento non retriggerabile del monostabile.



Il diagramma mostra la sequenza completa:

1. inizialmente S è alto (pulsante a riposo), OUT è basso (stato stabile) e $V_C = 0$;
2. al tempo t_1 si preme il pulsante: S va basso e il comparatore di trigger porta OUT a livello alto;

3. V_C inizia a crescere esponenzialmente verso V_{CC} con costante di tempo RC , mentre OUT resta alto;
4. al tempo $t_1 + T$, quando V_C raggiunge la soglia $\frac{2}{3}V_{CC}$, il comparatore superiore resetta il latch: OUT torna basso e il condensatore si scarica rapidamente a massa;
5. al tempo t_2 si preme nuovamente il pulsante, e subito dopo lo si preme ancora due volte in rapida successione, simulando sia i rimbalzi meccanici sia una pressione ripetuta da parte dell'utente;
6. OUT si porta alto solo in corrispondenza del *primo* fronte di discesa, quello a t_2 , e vi rimane per l'intero intervallo T : le due pressioni successive a t_3 e t_4 **non prolungano** l'impulso, che termina comunque al tempo $t_2 + T$.

Attenzione

Il monostabile non è retriggerabile. La sequenza appena descritta mette in evidenza una proprietà fondamentale della configurazione monostabile classica: il circuito **non è retriggerabile**. Una volta iniziata la temporizzazione, il condensatore C si sta caricando e il latch SR è già stato portato in set: eventuali nuovi impulsi sul piedino di trigger cadono durante la fase quasi-stabile e vengono *ignorati*, perché il comparatore inferiore non ha alcun effetto sullo stato del latch finché questo non è stato resettato dal comparatore superiore.

In termini pratici ciò significa che:

- la durata T dell'impulso di uscita è fissata unicamente dal *primo* fronte di discesa del trigger e non può essere prolungata da sollecitazioni successive;
- mantenere il pulsante premuto non allunga l'impulso: al termine di T l'uscita torna bassa comunque;
- premere il pulsante più volte durante T non ha alcun effetto: l'impulso in corso prosegue indisturbato fino alla sua conclusione naturale.

3.2.4 Applicazioni pratiche**Temporizzatore per luci scale**

È l'applicazione più diffusa del monostabile NE555. Il circuito accende una o più lampade per un intervallo di tempo prefissato, al termine del quale l'illuminazione si spegne automaticamente senza intervento dell'utente.

Premendo un pulsante, il monostabile genera un impulso di durata T che pilota un relè o un triac, il quale alimenta le lampade. La durata si ottiene dalla relazione $T \approx 1,1 RC$.

Poiché il piedino di uscita eroga una corrente limitata, non è possibile alimentare direttamente le lampade: occorre interporre un relè elettromeccanico, comandato dal piedino 3 tramite un transistor di potenza, oppure un triac con opportuno fotoaccoppiatore, qualora si desideri l'isolamento galvanico dalla rete elettrica.

Attenzione

Premendo nuovamente il pulsante durante l'impulso in corso, la durata *non* viene prolungata: il monostabile ignora i trigger successivi finché non ha completato la scarica di C . Se si desidera il riarmo, occorre una configurazione *retriggerable*, che esula dal monostabile classico. Inoltre, con R dell'ordine del megaohm, le correnti di fuga del condensatore elettrolitico diventano significative e la precisione su T peggiora: conviene scegliere condensatori plastici.

Ritardo di accensione

Il monostabile può essere impiegato per ritardare l'accensione di un carico rispetto a un evento scatenante.

Un esempio tipico è il *soft-start* di un alimentatore o di un amplificatore: all'atto dell'accensione, il circuito attende un intervallo T prima di abilitare il carico, consentendo ai condensatori di assestarsi e ai circuiti di stabilizzarsi.

Esempio

Ritardo di accensione $T = 500$ ms per un amplificatore audio. Scelto $C = 10 \mu\text{F}$: $R = \frac{T}{1,1 C} = \frac{0,5}{1,1 \cdot 10 \cdot 10^{-6}} \approx 45,5 \text{ k}\Omega$.
Il valore commerciale E24 più vicino è $R = 47 \text{ k}\Omega$, da cui $T \approx 517$ ms.

Un'applicazione affine è il ritardo di diseccitazione di un relè: il monostabile mantiene energizzato il relè per un tempo T dopo la scomparsa del segnale di comando, garantendo la continuità di alimentazione anche in presenza di brevi interruzioni.

Attenzione

La durata T va scelta in modo da non interferire con i tempi di intervento delle protezioni a monte: un ritardo eccessivo potrebbe ritardare l'apertura di un interruttore di sicurezza. In applicazioni su rete elettrica è inoltre obbligatorio l'isolamento galvanico tra il circuito di comando e il carico.

Antirimbalo monostabile

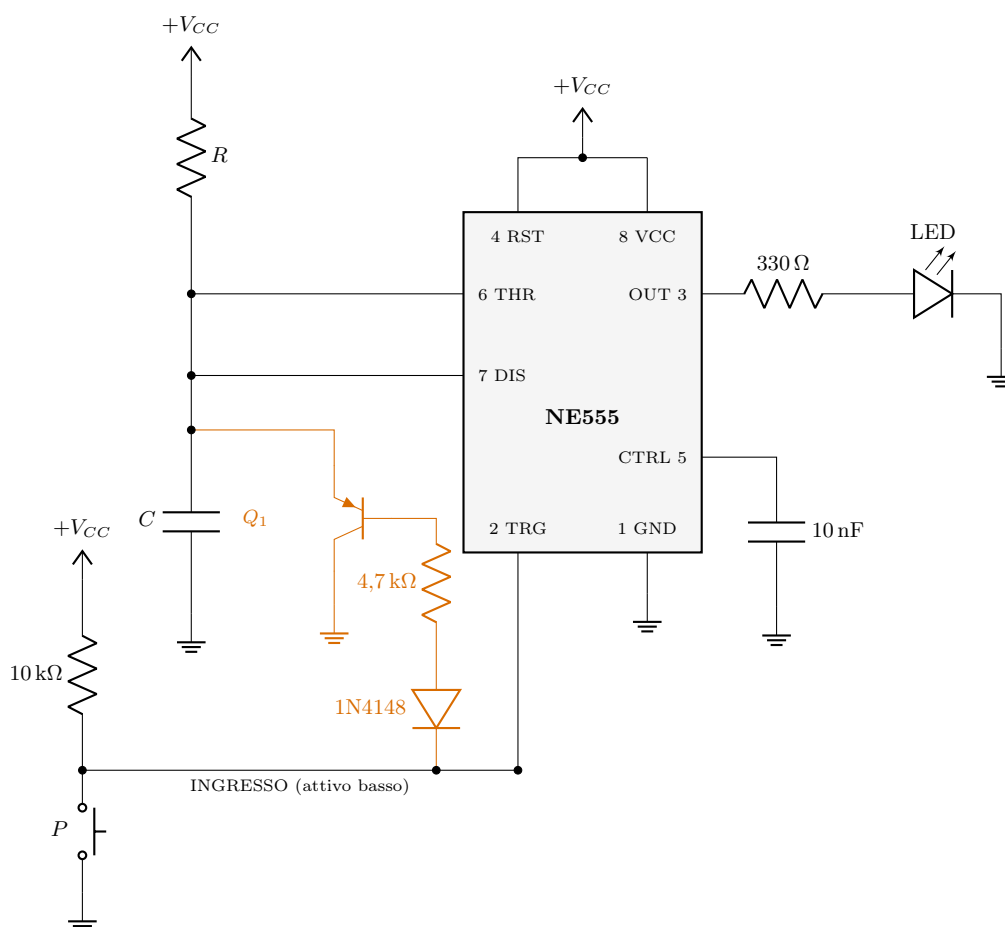
Il monostabile risolve il problema risolto in precedenza con la configurazione bistabile sfruttando la propria proprietà caratteristica: a ogni transizione di trigger esso eroga un unico impulso di durata T prefissata, durante il quale eventuali ulteriori sollecitazioni sul piedino 2 vengono ignorate. Se T è scelto maggiore della durata dei rimbalzi, l'uscita presenta un solo impulso pulito per ogni pressione del pulsante.

Esempio

Pulsante con rimbalzi fino a 10 ms. Si sceglie $T = 50$ ms con $C = 100$ nF: $R = \frac{T}{1,1 C} = \frac{50 \cdot 10^{-3}}{1,1 \cdot 100 \cdot 10^{-9}} \approx 455$ k Ω .

Valore commerciale E24: $R = 470$ k Ω , cui corrisponde $T \approx 51,7$ ms, ampiamente superiore alla durata dei rimbalzi. Il segnale risultante è adatto a pilotare un contatore digitale o un ingresso di microcontrollore senza filtraggio software.

Monostabile retriggerabile con NE555



Funzionamento Un monostabile è un circuito che, ricevuto un impulso di comando (*trigger*), porta l'uscita al livello alto per un tempo T stabilito dai componenti e poi la riporta da sola al livello basso. Nel monostabile classico con NE555, durante questo

tempo, eventuali nuovi impulsi vengono ignorati. In questo circuito, invece, ogni nuovo impulso *riavvia* il conteggio da capo: il monostabile è detto perciò **retriggerabile**. L'uscita resta alta finché gli impulsi arrivano a intervalli più brevi di T e scende a zero solo T secondi dopo l'ultimo.

Ruolo dei componenti

- **R e C :** rete di temporizzazione. Il condensatore C si carica dall'alimentazione attraverso la resistenza R ; più R e C sono grandi, più la carica è lenta e più il tempo T è lungo.
- **Pin 2 (TRG):** l'uscita sale quando la tensione su questo pin scende sotto $\frac{1}{3}V_{CC}$.
- **Pin 6 (THR):** confronta la tensione sul condensatore con $\frac{2}{3}V_{CC}$. Quando la raggiunge, l'uscita torna bassa.
- **Pin 7 (DIS):** collegato a un transistor interno che scarica C quando l'uscita è bassa.
- **Resistenza da 10 k Ω :** *pull-up*. Mantiene l'ingresso a livello alto quando il pulsante P non è premuto.
- **Transistor Q_1 (PNP, ad esempio BC557):** componente che rende il circuito retriggerabile. Quando l'ingresso va a massa, conduce e scarica rapidamente C .
- **Resistenza da 4,7 k Ω :** limita la corrente nella base di Q_1 (e quindi nel pulsante).
- **Diodo D_1 (1N4148):** a riposo la base di Q_1 è a V_{CC} e l'emettitore a 0 V, cioè la giunzione base-emettitore è sottoposta alla tensione inversa massima. Il diodo la blocca e protegge il transistor.
- **Pin 4 (RST)** collegato a V_{CC} : il reset non viene mai usato. È ciò che evita che l'uscita scenda a zero, anche per un istante, quando arriva un nuovo impulso.
- **Condensatore da 10 nF sul pin 5:** filtra i disturbi sulla soglia interna di confronto.
- **Resistenza da 330 Ω e LED:** indicano lo stato dell'uscita.

Fasi di funzionamento

1. **Riposo.** Il pulsante non è premuto, l'ingresso è a livello alto e l'uscita è bassa (LED spento). Il transistor interno del pin 7 tiene il condensatore scarico, quindi la tensione su C è circa 0 V. Q_1 è interdetto.
2. **Trigger.** Premendo P l'ingresso va a 0 V. Il pin 2 scende sotto $\frac{1}{3}V_{CC}$, l'uscita sale e il LED si accende. Nello stesso istante dalla base di Q_1 passa una piccola corrente, Q_1 conduce e mantiene C scarico, a una tensione $V_0 \simeq 1,3$ V (somma delle cadute di D_1 e della giunzione base-emettitore, circa 0,65 V ciascuna).
3. **Temporizzazione.** Quando l'ingresso torna alto, Q_1 si interdice e C comincia a caricarsi attraverso R verso V_{CC} . Finché la tensione su C è inferiore a $\frac{2}{3}V_{CC}$ l'uscita resta alta.
4. **Retrigger.** Se prima di raggiungere $\frac{2}{3}V_{CC}$ arriva un nuovo impulso, Q_1 scarica di nuovo C e la carica ricomincia da capo. La scarica è molto più veloce della carica (frazioni di millisecondo contro secondi), perché la corrente di base viene amplificata dal transistor. Sul pin 6 la soglia non viene mai raggiunta e l'uscita non cambia stato.
5. **Fine ciclo.** Se non arrivano altri impulsi, la tensione su C raggiunge $\frac{2}{3}V_{CC}$, il pin 6 azzerà il flip-flop interno, l'uscita torna bassa e il pin 7 scarica C . Il circuito è di nuovo a riposo.

Durata dell'impulso. La tensione su C sale secondo la legge di carica del circuito RC :

$$v_C(t) = V_{CC} - (V_{CC} - V_0) e^{-t/RC}.$$

Imponendo $v_C = \frac{2}{3}V_{CC}$ si ricava il tempo, contato dall'*ultimo* impulso:

$$T = RC \ln \frac{V_{CC} - V_0}{V_{CC}/3}.$$

Se il condensatore partisse da $V_0 = 0$ si otterrebbe la formula classica del monostabile, $T \simeq 1,1 RC$. In questo circuito $V_0 \simeq 1,3 V$, quindi il risultato dipende anche dall'alimentazione:

$$V_{CC} = 5 V \Rightarrow T \simeq 0,8 RC, \quad V_{CC} = 12 V \Rightarrow T \simeq 1,0 RC.$$

Esempio: con $V_{CC} = 5 V$, $R = 100 k\Omega$ e $C = 10 \mu F$ si ha $RC = 1 s$ e quindi $T \simeq 0,8 s$.

Osservazione. Finché il pulsante rimane premuto, Q_1 tiene C scarico e l'uscita resta alta. Il tempo T comincia a scorrere solo quando il pulsante viene rilasciato.

3.3 Configurazione astabile

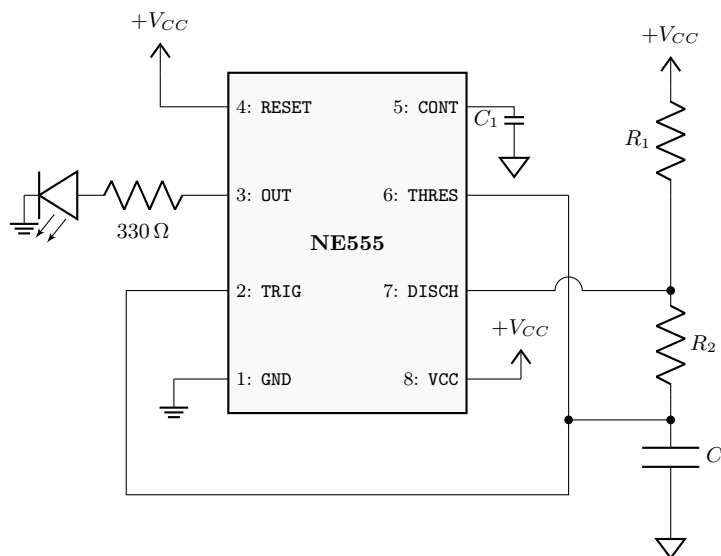
3.3.1 Cos'è la configurazione astabile

Il *astabile* è la configurazione del timer NE555 in cui il circuito **non possiede alcuno stato stabile**. L'uscita commuta continuamente tra livello alto e livello basso, generando un'onda quadra periodica senza alcun intervento esterno: a differenza del monostabile, che ha bisogno di un impulso di trigger per avviare il ciclo, l'astabile è un **oscillatore autonomo**.

Ne discende la proprietà caratteristica dell'astabile: il periodo e il duty cycle dell'onda quadra sono determinati unicamente dai componenti passivi esterni, cioè dai due resistori R_1 , R_2 e dal condensatore C .

Le applicazioni tipiche sono la generazione di clock, i lampeggiatori a LED, i generatori di tono per buzzer, i modulatori PWM e, in generale, tutti i circuiti che richiedono un segnale periodico di frequenza nota.

3.3.2 Schema circuitale



3.3.3 Funzionamento

Il funzionamento dell'astabile si articola in due fasi che si alternano ciclicamente: una fase di *carica* del condensatore, durante la quale l'uscita è alta, e una fase di *scarica*, durante la quale l'uscita è bassa. Il passaggio da una fase all'altra è governato dai due comparatori interni, tarati sulle soglie $\frac{1}{3}V_{CC}$ e $\frac{2}{3}V_{CC}$. Ricordiamo che i transistori di carica e scarica del condensatore possono essere descritti in modo unificato da un'unica funzione del tempo:

$$V_C(t) = V_f + (V_i - V_f)e^{-\frac{t-t_0}{\tau}}$$

dove:

- $V_C(t)$ è la tensione ai capi del condensatore all'istante t ;
- $V_i = v(t_0)$ è la tensione iniziale all'istante di inizio transitorio t_0 ;
- $V_f = v(\infty)$ è la tensione finale a regime;

Analisi della fase di carica

All'istante iniziale della fase di carica il transistor di scarica (piedino 7) è **interdetto**, perché il latch SR è stato portato in set dal comparatore inferiore. Il condensatore C si trova quindi scaricato alla tensione $\frac{1}{3}V_{CC}$ e inizia a caricarsi verso $+V_{CC}$ attraverso il percorso $R_1 \rightarrow R_2 \rightarrow C$, essendo il piedino 7 aperto.

La resistenza equivalente vista dal condensatore è $R_{\text{carica}} = R_1 + R_2$, e l'equazione di carica è la stessa del monostabile, ma con condizione iniziale $V_i = \frac{1}{3}V_{CC}$ anziché zero:

$$V_C(t) = V_{CC} + \left(\frac{1}{3}V_{CC} - V_{CC}\right) e^{-\frac{t_H}{\tau_{\text{carica}}}} = V_{CC} - \frac{2}{3}V_{CC} e^{-\frac{t_H}{\tau_{\text{carica}}}},$$

dove $\tau_{\text{carica}} = (R_1 + R_2)C$. La fase di carica termina nell'istante t_H in cui V_C raggiunge la soglia superiore $\frac{2}{3}V_{CC}$. Imponendo tale condizione:

$$\frac{2}{3}V_{CC} = V_{CC} - \frac{2}{3}V_{CC} e^{-\frac{t_H}{\tau_{\text{carica}}}} \quad \Rightarrow \quad e^{-\frac{t_H}{\tau_{\text{carica}}}} = \frac{1}{2},$$

da cui

$$t_H = \tau_{\text{carica}} \ln 2 = 0,693 (R_1 + R_2) C.$$

Durante questa fase l'uscita è alta e il LED è acceso.

Analisi della fase di scarica

Raggiunta la soglia $\frac{2}{3}V_{CC}$, il comparatore superiore porta in reset il latch SR: l'uscita commuta a livello basso e il transistor di scarica entra in conduzione. Il piedino 7 viene così portato praticamente a massa e il condensatore C inizia a scaricarsi attraverso la sola R_2 verso il piedino 7, mentre R_1 resta collegata tra V_{CC} e il piedino 7 ma non partecipa più alla dinamica di scarica (il transistor interno cortocircuita il nodo alla massa).

La resistenza equivalente di scarica è $R_{\text{scarica}} = R_2$, e l'equazione di scarica è un'esponenziale decrescente che parte da $\frac{2}{3}V_{CC}$ e tende a zero:

$$V_C(t) = \frac{2}{3}V_{CC} e^{-\frac{t_L}{\tau_{\text{scarica}}}},$$

dove $\tau_{\text{scarica}} = R_2 C$. La fase di scarica termina nell'istante t_L in cui V_C raggiunge la soglia inferiore $\frac{1}{3}V_{CC}$:

$$\frac{1}{3}V_{CC} = \frac{2}{3}V_{CC} e^{-\frac{t_L}{\tau_{\text{scarica}}}} \quad \Rightarrow \quad e^{-\frac{t_L}{\tau_{\text{scarica}}}} = \frac{1}{2},$$

da cui

$$t_L = \tau_{\text{scarica}} \ln 2 = 0,693 R_2 C.$$

Al termine della scarica il comparatore inferiore riporta in set il latch, l'uscita torna alta e il ciclo ricomincia.

Calcolo del periodo e della frequenza

Il periodo dell'oscillazione è la somma della durata delle due fasi:

$$T = t_H + t_L = 0,693 (R_1 + R_2) C + 0,693 R_2 C, \quad \Rightarrow \quad T = 0,693 (R_1 + 2R_2) C.$$

La frequenza vale di conseguenza

$$f = \frac{1}{T} = \frac{1}{0,693 (R_1 + 2R_2) C} = \frac{1,44}{(R_1 + 2R_2) C}$$

Duty cycle e sue limitazioni

Si definisce *duty cycle* D il rapporto tra la durata della fase alta e il periodo:

$$D = \frac{t_H}{T} = \frac{(R_1 + R_2) C}{(R_1 + 2R_2) C} = \frac{R_1 + R_2}{R_1 + 2R_2}$$

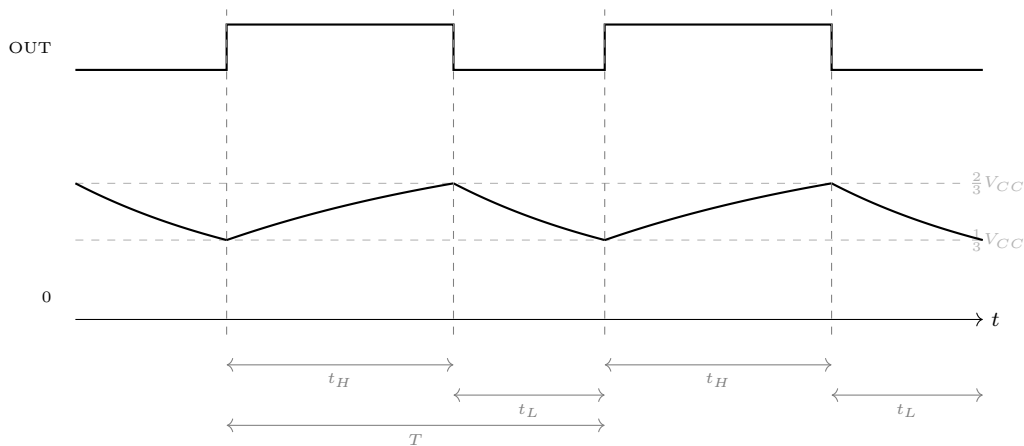
Esaminando questa espressione si osserva che:

- se $R_1 \rightarrow 0$, allora $D \rightarrow \frac{1}{2}$: il duty cycle tende al 50% ma non lo raggiunge mai;
- se $R_1 \gg R_2$, allora $D \rightarrow 1$: il duty cycle tende al 100%, con una fase alta molto più lunga di quella bassa;
- per qualunque valore finito e positivo di R_1 e R_2 , risulta sempre $D > 50\%$.

Questo è il **limite intrinseco** della configurazione astabile classica: il condensatore si carica attraverso $R_1 + R_2$ ma si scarica solo attraverso R_2 , quindi la fase alta dura sempre più della fase bassa. Non è possibile ottenere un'onda quadra simmetrica ($D = 50\%$) con il solo schema a due resistori.

Formule e diagramma temporale

Il diagramma temporale seguente mostra l'andamento della tensione sul condensatore V_C e dell'uscita OUT in regime permanente.



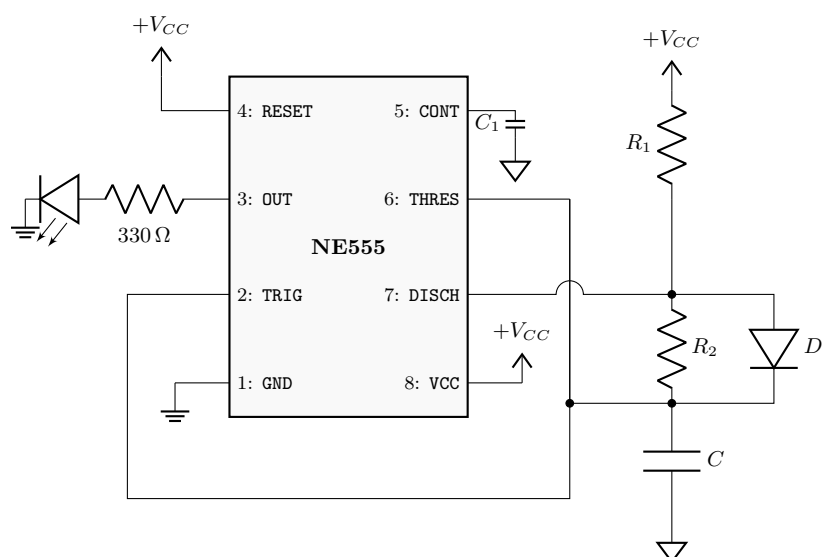
Il diagramma evidenzia due aspetti caratteristici dell'astabile:

- la tensione V_C è un'onda a dente di sega *non lineare*, compresa tra $\frac{1}{3}V_{CC}$ e $\frac{2}{3}V_{CC}$;
- la fase alta t_H è sempre più lunga della fase bassa t_L , perché $t_H \propto R_1 + R_2$ mentre $t_L \propto R_2$, coerentemente con il limite $D > 50\%$.

In regime permanente il circuito oscilla indefinitamente, senza bisogno di alcun segnale di trigger esterno: è questa la proprietà che distingue l'astabile dal monostabile e che ne fa il più semplice oscillatore a onda quadra realizzabile con un integrato.

3.3.4 Varianti

Astabile con diodo: duty cycle inferiore al 50%



Analisi esatta con la caduta del diodo

In diodo al silicio polarizzato direttamente introduce una caduta di tensione V_d di circa 0,6–0,7 V, che non è trascurabile quando V_{CC} è bassa. Vediamo come tenerne conto in modo rigoroso.

Con il diodo in parallelo a R_2 , durante la fase di carica il condensatore non vede V_{CC} ma una tensione inferiore:

$$V_{\text{target}} = V_{CC} - V_d$$

Il condensatore, in altre parole, si carica verso $V_{CC} - V_d$, non verso V_{CC} . Questo cambia il tempo necessario per raggiungere la soglia superiore $\frac{2}{3}V_{CC}$: il condensatore deve percorrere un tratto di esponenziale leggermente diverso, e il tempo di carica risulta **maggiore** di quello che si otterrebbe assumendo $V_d = 0$.

Riprendiamo l'equazione della carica esponenziale di un condensatore. Se il condensatore parte da una tensione V_{iniziale} e si carica verso una tensione V_{target} con costante di tempo $\tau = RC$, la sua tensione al tempo t è:

$$v_C(t) = V_{\text{target}} + (V_{\text{iniziale}} - V_{\text{target}}) e^{-\frac{t}{\tau}}$$

Nel nostro caso:

- $V_{\text{iniziale}} = \frac{1}{3}V_{CC}$ (la soglia inferiore, da cui parte la carica);
- $V_{\text{target}} = V_{CC} - V_d$ (la tensione verso cui il condensatore tende, limitata dal diodo);
- $\tau = R_1 C$ (la costante di tempo del ramo di carica).

Ponendo $v_C(t) = \frac{2}{3}V_{CC}$ (la soglia superiore che fa scattare il comparatore C1) e risolvendo per t , si ottiene:

$$T_{\text{high}} = R_1 C \ln\left(\frac{\frac{2}{3}V_{CC} - V_d}{\frac{1}{3}V_{CC} - V_d}\right)$$

Questa è l'**espressione esatta** del tempo di carica in presenza del diodo. È importante notare che al numeratore e al denominatore compare V_d sottratto alle due soglie.

La formula deve ridursi a quella standard quando $V_d = 0$. Sostituendo:

$$T_{\text{high}}|_{V_d=0} = R_1 C \ln\left(\frac{\frac{2}{3}V_{CC}}{\frac{1}{3}V_{CC}}\right) = R_1 C \ln(2) \approx 0,693 R_1 C$$

che è esattamente la formula che conoscevamo. Il caso generale è quindi una **generalizzazione** di quella più semplice.

Per il tempo di scarica, invece, il diodo è polarizzato inversamente e si comporta come un circuito aperto: la scarica avviene tutta attraverso R_2 , e la formula rimane quella standard:

$$T_{\text{low}} = 0,693 R_2 C$$

Vediamo numericamente quanto V_d cambia le cose. Consideriamo $V_{CC} = 5$ V e $V_d = 0,7$ V, valori tipici in un circuito alimentato a 5 V con un diodo al silicio.

$$\frac{\frac{2}{3}V_{CC} - V_d}{\frac{1}{3}V_{CC} - V_d} = \frac{3,33 - 0,7}{1,67 - 0,7} = \frac{2,63}{0,97} \approx 2,71$$

$$T_{\text{high}} = R_1 C \cdot \ln(2,71) \approx 1,00 R_1 C$$

Confrontando con il valore senza diodo ($0,693 R_1 C$), vediamo che la caduta del diodo rende la fase di carica circa **44% più lunga**. È una differenza enorme, che nessun progettista può permettersi di ignorare quando V_{CC} è bassa.

Attenzione

Più V_{CC} è bassa, più l'effetto di V_d è marcato. Con $V_{CC} = 15$ V e $V_d = 0,7$ V, l'errore relativo è molto più piccolo (circa 5%); con $V_{CC} = 5$ V l'errore sale al 44%; con $V_{CC} = 3$ V la formula semplificata diventa del tutto inutilizzabile.

La regola pratica è: **usa la formula semplificata solo se $V_{CC} \geq 10$ V**. Sotto, conviene sempre calcolare il tempo con la formula esatta.

Le fonti di errore trascurate La formula esatta tiene conto di V_d , ma assume che V_d sia una costante. Nella realtà V_d dipende da diversi fattori, e ognuno introduce un errore aggiuntivo sul tempo calcolato:

- **Dipendenza dalla corrente.** La tensione diretta di un diodo segue la legge di Shockley:

$$V_d = V_T \ln\left(\frac{I}{I_S} + 1\right)$$

dove $V_T \approx 26$ mV a temperatura ambiente, I_S è la corrente di saturazione inversa (dell'ordine dei nanoampere per un diodo al silicio). Poiché la corrente attraverso il diodo **non è costante** durante la carica (parte da un valore massimo e diminuisce esponenzialmente), V_d stessa varia nel tempo. Il valore 0,7 V è solo un valore medio ragionevole.

- **Dipendenza dalla temperatura.** La tensione diretta diminuisce di circa 2 mV per ogni grado di aumento della temperatura. Un diodo che a 25 °C ha $V_d = 0,70$ V, a 50 °C ha $V_d \approx 0,65$ V. La variazione termica si riflette direttamente sul tempo di carica.
- **Tensione di saturazione del transistor di scarica.** Quando il transistor interno è saturo, non porta il piedino 7 esattamente a 0 V, ma a una tensione $V_{CE(sat)} \approx 0,1\text{--}0,2$ V. Questo introduce una piccola differenza anche nel tempo di scarica.
- **Tolleranza del partitore interno.** I tre resistori interni da 5 k Ω hanno tolleranza tipica $\pm 1\%$, quindi le soglie reali non sono esattamente $\frac{1}{3}V_{CC}$ e $\frac{2}{3}V_{CC}$, ma si discostano leggermente. L'effetto sul tempo è dell'ordine dell'1–2%.
- **Offset dei comparatori interni.** I comparatori del NE555 hanno una tensione di offset tipica di ± 10 mV, che sposta leggermente le soglie effettive di commutazione.

Combinando tutti questi effetti, il tempo reale può discostarsi da quello calcolato con la formula esatta anche del **5–10%**. Per questo motivo i datasheet riportano sempre i valori di temporizzazione con tolleranze del $\pm 5\%$ o superiori.